

⑯ BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENTAMT

⑯ Offenlegungsschrift  
⑯ DE 4008883 A1

⑯ Int. Cl. 5:  
H01L 27/112  
G 11 C 17/10  
H 01 L 21/72

DE 4008883 A1

⑯ Aktenzeichen: P 40 08 883.9  
⑯ Anmeldetag: 20. 3. 90  
⑯ Offenlegungstag: 27. 9. 90

⑯ Unionspriorität: ⑯ ⑯ ⑯  
20.03.89 JP P1-68008

⑯ Anmelder:  
Mitsubishi Denki K.K., Tokio/Tokyo, JP

⑯ Vertreter:  
Prüfer, L., Dipl.-Phys., Pat.-Anw., 8000 München

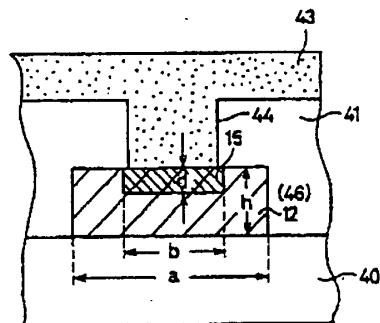
⑯ Erfinder:  
Kaneko, Masahide; Noguchi, Kenji, Itami, Hyogo, JP

Prüfungsantrag gem. § 44 PatG ist gestellt

⑯ Herstellungsverfahren für ein Masken-ROM und hiermit hergestelltes Masken-ROM

Verfahren zur Herstellung eines Masken-ROMs mit einem Feld von Speicherzellen, bei dem pn-Übergänge, die durch Einlagern von P-Störstellen mittels Ionenimplantation in die Oberfläche elektrisch leitender Schichten vom N-Typ, die wiederum durch Einlagern von N-Störstellen in die Polysiliziumschichten erhalten worden sind, geschaffen werden, als Speicherzellen in einer Matrixkonfiguration gebildet sind. Die Polysiliziumschichten, die als elektrisch N-leitende Schichten erzeugt werden sollen, werden zuvor durch Laser-Glühen monokristallisiert. Auf diese Weise werden die elektrisch N-leitenden Schichten, in die P-Störstellen durch Ionenimplantation zum Zeitpunkt der Bildung des pn-Überganges eingelegt werden, in monokristalline Schichten umgewandelt, so daß die Oberfläche der elektrisch N-leitenden Schichten durch diese Ionenimplantation gleichmäßig und einfach in den P-Typ umgewandelt werden können. Die Übergangsfläche des als Speicherzelle verwendeten pn-Überganges wird damit gleichmäßig. Auf diese Weise kann die Speicherzelle mit den gewünschten, d. h., den der praktischen Anwendung angepaßten pn-Übergangseigenschaften, einfach hergestellt werden.

FIG.1



DE 4008883 A1

## Beschreibung

Die Erfindung bezieht sich allgemein auf ein Verfahren zum Herstellen eines Masken-ROMs und insbesondere auf ein verbessertes Verfahren zum Herstellen des Speicherzellenfeldbereiches sowie auf ein mit diesem Verfahren hergestelltes Masken-ROM.

Die sich im Moment im Gebrauch befindlichen integrierten Speicherschaltkreise können grob entsprechend ihrer Schreibfunktion in Schreib/Lesespeicher (read/write memory) oder RWM, bei denen nicht nur ein Auslesen, sondern auch freies Schreiben nach der Herstellung erfolgen kann, und in Nur-Lese-Speicher oder ROM, bei denen kein Schreiben erfolgen kann und die nach der Herstellung nur zum Auslesen benutzt werden, eingeteilt werden. Das ROM wird zum Speichern von festgelegter Information, wie z.B. Zeichenmuster, verwendet, da die darin gespeicherte Information nach Abschalten der Spannungsversorgung erhalten bleibt. Das ROM kann ferner in ein lösch- und programmierbares ROM oder EPROM, bei dem die gespeicherte Information nach der Herstellung elektrisch verändert und die gespeicherte Information z.B. durch Bestrahlung mit ultraviolettem Licht gelöscht werden kann, und ein Masken-ROM, bei dem die Information im Verlauf der Herstellung eingeschrieben wird und nach der Fertigstellung nicht mehr geändert werden kann, klassifiziert werden. Das Masken-ROM wird zur Speicherung von festgelegten Daten, wie z.B. Zeichenmuster bei einem Monitor oder das BASIC-Programm eines Personal Computers, verwendet.

Der Speicherbereich der zur Zeit kommerziell erhältlichen Masken-ROMs umfaßt im allgemeinen eine große Zahl von in Form einer Matrix angeordneten MOS-Transistoren. Jeder dieser MOS-Transistoren wird als Speicherzelle verwendet. Wenn ein MOS-Transistor auf einem Halbleitersubstrat gebildet wird, ist es erforderlich, drei Bereiche, d.h. Source, Drain und Gate, zu schaffen. Für die Größe eines jeden dieser drei Bereiche ist es notwendig, groß genug zu sein, um die Funktion als MOS-Transistor zu erreichen, so daß dieser nicht unbegrenzt verkleinert werden kann. Daher ergeben sich trotz der neuerlichen Forderung nach Verkleinerung der integrierten Halbleiterschaltkreiseinrichtungen natürlich vorgegebene Beschränkungen der Miniaturisierung der Speicherbereichfläche als ganzes, solange MOS-Transistoren als Speicherzellen verwendet werden. Dieses Problem wird insbesondere mit einer Vergrößerung der Speicherkapazität des Masken-ROM ernst. Andererseits ist die Forderung nach größerer Speicherkapazität der IC-Speicher einschließlich des Masken-ROMs in den letzten Jahren stärker geworden. Daher ist bereits ein verbessertes Masken-ROM vorgeschlagen worden, um den gegenläufigen Forderungen nach Miniaturisierung einer Vielzahl von integrierten Halbleitereinrichtungen einschließlich der IC-Speicher und der größeren Speicherkapazitäten der IC-Speicher zu entsprechen. Bei einem solchen verbesserten Masken-ROM wird eine Einrichtung oder ein Element mit dem Aufbau einer Diode anstelle einer Einrichtung oder eines Elementes mit der Konfiguration eines MOS-Transistors als Speicherzelle verwendet.

Die Fig. 6A bis 6C zeigen die Struktur eines Speicherzellenfeldes in einem verbesserten Masken-ROM, die in der JP 61-1904 beschrieben ist. Fig. 6A zeigt eine Draufsicht des Speicherzellenfeldes und die Fig. 6B und 6C sind Querschnitte entlang der unterbrochenen Linien (a) bzw. (b) der Fig. 6A. Bezuglich dieser Figuren ist dieses

Speicherzellenfeld auf einem monokristallinen Siliziumhalbleitersubstrat 40 gebildet. Ein aus einer Siliziumdioxidschicht gebildeter Isolierfilm 48 ist auf der Oberfläche des Substrates 40 geschaffen. Eine große Anzahl von bandartigen N-Polysiliziumschichten 42 ist parallel auf diesem Substrat 40 gebildet. Es ist eine Isolierschicht 41 auf der gesamten Oberfläche des Halbleitersubstrates 40, einschließlich der Polysiliziumschichten 42, geschaffen und es sind Öffnungen oder Kontaktlöcher 44 selektiv in der Isolierschicht 41 gebildet. P-Polysiliziumbereiche 45 werden durch Einlagern von Störstellen in die Polysiliziumschichten 42 unterhalb dieser Kontaktlöcher 44 geschaffen. Es ist eine große Zahl von parallelen bandförmigen und elektrisch leitenden Schichten 43 auf der Isolierschicht 41 und auf den Kontaktlöchern 44 gebildet, die die Polysiliziumschichten 42 schneiden. Diese Kontaktlöcher 44 sind selektiv an den Kreuzungspunkten der Polysiliziumschichten 42 und der elektrisch leitenden Schichten 43 gebildet. Jede der bandförmigen Polysiliziumschichten 42 entspricht einer Wortleitung und jede der bandförmigen elektrisch leitenden Schichten 43 einer Bitleitung.

Wie aus der Fig. 6A ersichtlich ist, bilden die Kreuzungspunkte der bandförmigen Polysiliziumschichten 42 und der bandförmigen elektrisch leitenden Schichten 43 eine Matrix. Bezuglich der Fig. 6B und 6C sind unterhalb der Kontaktlöcher 44 pn-Übergänge in den Polysiliziumschichten 42 nur an den Kreuzungspunkten gebildet, die zu Kontaktlöchern gehören. Wenn eine Spannung in Vorwärtsrichtung an die elektrisch leitenden Schichten 43, deren Kreuzungspunkte zu den Kontaktlöchern 44 gehören, angelegt wird, fließt ein Strom in den zugehörigen Polysiliziumschichten 42. Wenn andererseits eine Spannung in Vorwärtsrichtung an die elektrisch leitenden Schichten 43, deren Kreuzungspunkte nicht zu den Kontaktlöchern 44 gehören, angelegt wird, fließt an diesen Kreuzungspunkten kein Strom durch die Polysiliziumschichten 42, da die elektrisch leitenden Schichten 43 und die Polysiliziumschichten 42 durch die Isolierschicht 41 voneinander isoliert sind. Wenn eine Bitleitung ausgewählt wird, wird eine vorbestimmte Spannung an diese Bitleitung angelegt und es wird dann eine Wortleitung ausgewählt und geprüft, ob ein Strom in dieser Wortleitung fließt oder nicht, so daß daher getestet werden kann, ob am Kreuzungspunkt der elektrisch leitenden Schicht 43, die zur ausgewählten Bitleitung gehört, mit der Polysiliziumschicht 42, die zur ausgewählten Wortleitung, ein Kontaktloch gebildet ist oder nicht. Wenn die An- oder Abwesenheit der Kontaktlöcher mit den logischen Werten "1" oder "0" in Verbindung gebracht wird und bei der Herstellung des Speicherzellenfeldes des Masken-ROMs das Muster zum Bilden der Kontaktlöcher in Abhängigkeit von der im Masken-ROM zu speichernden Information ausgewählt wird, wird es möglich, die gespeicherte Information vom Masken-ROM nach der Fertigstellung wie bei der herkömmlichen Einrichtung auszulesen. Dies bedeutet, daß nicht wie bei der herkömmlichen Technik ein einzelner MOS-Transistor als Speicherzelle verwendet wird, sondern ein einfacher pn-Übergang, d.h. eine Diode. Die für eine Speicherzelle erforderliche Fläche wird durch die Breiten der Polysiliziumschicht 42 und der elektrisch leitenden Schicht 43 bestimmt. Die Minimalwerte der Breiten der elektrisch leitenden Schichten 43 und der Polysiliziumschichten 42 werden durch die Grenzen für die Breite und den Abstand von Leiterbahnen bei der zur Zeit möglichen Herstellungstechnik bestimmt. Durch eine Verminderung dieser Breiten kann

die von jeder Speicherzelle auf dem Substrat belegte Fläche erheblich kleiner als die einer herkömmlichen Einrichtung sein, solange Kontaktlöcher 44 geschaffen werden können. Damit kann ein Masken-ROM gebildet werden, das signifikant kleiner ist als das herkömmliche Masken-ROM, bei dem ein MOS-Transistor als Speicherzelle verwendet wird.

Nun wird der Prozeß zur Herstellung des in Fig. 6 dargestellten Speicherzellenfeldes erläutert. Zuerst wird durch selektive Ätzung ein Oxidfilm auf einem monokristallinen Siliziumsubstrat, auf dem das Speicherzellenfeld gebildet werden soll, geschaffen. Auf diese Weise entsteht ein monokristallines Siliziumsubstrat 40 mit einer isolierenden Oberflächenschicht. Es wird eine große Zahl von zueinander parallelen bandförmigen Polysiliziumschichten auf diesem Isolierfilm gebildet. Polysilizium ist ein intrinsischer Halbleiter, d.h. seine Leitfähigkeit ist weder vom N- noch vom P-Typ. Um eine N-Typ Polysiliziumschicht zu schaffen werden Störstellen vom N-Typ in diese Polysiliziumschicht eingelagert. Auf diese Weise entsteht eine große Zahl von parallelen bandartigen Polysiliziumschichten 42 vom N-Typ. Dann wird eine Isolierschicht 41 auf der gesamten Oberfläche des Substrates 40, einschließlich der Oberflächen der Polysiliziumschichten 42 vom N-Typ, geschaffen. Anschließend werden in Abhängigkeit von der gewünschten im Masken-ROM zu speichernden Information Kontaktlöcher 44 durch selektives Ätzen der Isolierschicht 41 gebildet. Nun werden durch Ionenimplantation Störstellen vom P-Typ selektiv in diejenigen Bereiche der Polysiliziumschichten 42 vom N-Typ eingelagert, in denen die Kontaktlöcher 44 gebildet sind. Auf diese Weise werden Polysiliziumbereiche 45 vom P-Typ in denjenigen Bereichen der n-Typ Polysiliziumschichten 42 gebildet, in denen die Kontaktlöcher 44 gebildet sind. Zuletzt wird eine große Zahl von parallelen, bandförmigen und elektrisch leitenden Schichten 43 aus z.B. Aluminium auf die Isolierschicht 41 einschließlich der Kontaktlöcher 44 aufgebracht.

Im folgenden wird der tatsächliche Herstellungsprozeß des Masken-ROM-Chips mit dem oben beschriebenen Speicherzellenfeld beschrieben. Fig. 7 stellt ein Flußdiagramm dar, das die Züge des Herstellungsprozesses für den Masken-ROM-Chip zeigt. Bezuglich dieser Figur wird auf dem monokristallinen Siliziumsubstrat ein Bereich oder eine Insel eines Leitfähigkeits-<sup>40</sup>typs geschaffen, der dem Leitfähigkeits-<sup>45</sup>typ des monokristallinen Siliziumsubstrates entgegengesetzt ist. Dieser Bereich kann als Bereich dienen, auf dem die Source und Drain des Transistors in einem nachfolgenden Prozeß gebildet werden. Das Substrat wird dann selektiv oxidiert, um einen dicken Feldoxidfilm für die Isolation benachbarter Schaltkreiseinrichtungen oder Bauelemente voneinander zu bilden. Nun werden die Polysiliziumschichten geschaffen, die das Gate der P-Kanal und N-Kanal Transistoren, die als periphere Schaltkreise des Speicherzellenfeldes benutzt werden, und die Wortleitungen des Speicherzellenfeldes bilden sollen. Die Polysiliziumschichten, die die Wortleitungen darstellen sollen, werden zu diesem Zeitpunkt durch Einlagern von N-Störstellen in N-Typ Polysiliziumschichten umgewandelt. Die Source- und Drain-Bereiche der N- und P-Kanal Transistoren werden nun durch selektives Einführen von Störstellen in die Substratoberfläche gebildet. Dann wird ein Isolierfilm auf der gesamten Oberfläche des Substrates geschaffen, um die Unebenheiten auf dem Substrat auszugleichen. In Fig. 7 ist dies als "Bildung einer glatten Deckschicht" bezeichnet. Anschließend

werden Kontaktlöcher selektiv in diesem Isolierfilm gebildet. Nun werden P-Typ Störstellen durch diese Kontaktlöcher mittels Ionenimplantation in diejenigen Polysiliziumschichten eingelagert, die die Wortleitungen des Speicherzellenfeldes bilden sollen. In Fig. 7 ist dies als "Implantation" bezeichnet. Auf diese Weise werden pn-Übergänge nur in denjenigen Speicherzellen gebildet, die mit Kontaktlöchern versehen sind. Nun werden entsprechend dem gewünschten Verdrahtungsmuster elektrisch leitende Schichten auf dem Substrat, einschließlich der Kontaktlöcher, gebildet. Zuletzt wird eine Glasschicht als schützende Schicht für die Einrichtung aufgebracht.

Wenn man den Herstellungsprozeß betrachtet, weist das oben beschriebene Masken-ROM mit einem Speicherzellenfeld, das von einem einzelnen pn-Übergang als Speicherzelle Gebrauch macht, folgende Nachteile auf.

Der Herstellungsprozeß des Speicherzellenfeldbereichs umfaßt den Schritt des Einführens von N-Störstellen in die Polysiliziumschicht, um eine N-Polysiliziumschicht zu erzeugen, und den Schritt des Einführens von P-Störstellen durch Ionenimplantation in diejenigen Bereiche der N-Polysiliziumschichten, die mit Kontaktlöchern versehen sind, um Bereiche vom P-Typ zu erzeugen. Wenn Störstellen in Polysilizium eingebracht werden, das weder vom N- noch vom P-Leitfähigkeits-<sup>40</sup>typ ist, um N-Polysilizium zu erzeugen, werden diese mit einer Konzentration in der Größenordnung  $10^{14} \dots 10^{16}/\text{cm}^2$  eingelagert. Wenn andererseits das Polysilizium, das einmal als N-Typ gebildet worden ist, in den hierzu entgegengesetzten P-Typ umgewandelt werden soll, werden Störstellen mit einer Konzentration der Größenordnung  $10^{18} \dots 10^{20}/\text{cm}^2$ , die höher ist als diejenige für den Fall, daß Polysilizium, das weder vom P- noch vom N-Typ ist, als N-Polysilizium erzeugt wird, eingelagert, da es erforderlich ist, die Polarität des früher mit N-Störstellen dotierten Polysiliziums durch Einlagern von P-Störstellen umzukehren. Polysilizium wird nicht von homogenen Einkristallen gebildet, sondern ist ein Aggregatzustand von vielen Teilchen (Korn). Fig. 9 zeigt stark schematisiert den Aufbau von Polysilizium. In dieser Figur stellt jedes Teilchen 82 ein Korn dar, die das Polysilizium bilden. Die Verteilung von in die oben beschriebene Polysiliziumstruktur eingeführten Störstellen ist nicht so gleichmäßig wie im Falle des Einlagerns von Störstellen in monokristallines Silizium. Fig. 10 zeigt den Diffusionszustand der in das N-Polysilizium (hier als ein Korn dargestellt) eingeführten P-Störstellen, um das N-Polysilizium in den P-Typ umzuwandeln. Aus dieser Figur ist ersichtlich, daß die P-Störstellen von außen nach dem Inneren des Kornes eindiffundieren. Wenn angenommen wird, daß das Korn bis in den innersten Bereich gleichmäßig als N-Typ erzeugt worden ist, werden die durch Schraffierung angezeigten Bereiche des Kornes, in denen die Konzentration der P-Störstellen groß genug ist, um das N-Polysilizium in den P-Typ umzuwandeln, in P-Polysilizium umgewandelt, während die im Zentrum des Kornes gezeigten Bereiche, in denen die Konzentration der P-Störstellen nicht so hoch ist, als N-Typ bestehen bleiben. Folglich kann das einmal als N-Typ erzeugte Polysilizium nicht gleichmäßig in den P-Typ umgewandelt werden. Wenn Störstellen in das Polysilizium eingelagert werden, das weder vom P-Typ noch vom N-Typ ist, um N-Polysilizium zu erzeugen, bilden die oben beschriebenen Eigenschaften von Polysilizium kein besonderes Problem. Dies ergibt sich aus der Tatsache, daß die mit

Störstellen dotierten Bereiche des Polysiliziums als N-Typ im ganzen erzeugt werden, selbst wenn die Verteilung der Störstellen im Polysilizium, d. h. der Zustand des Umwandels in N-Polysilizium, bezüglich jedes Korns etwas unterschiedlich ist.

Wie oben beschrieben worden ist, ist es schwierig, das Polysilizium, das einmal als N-Typ erzeugt worden ist, auf der Ebene der Korngröße gleichmäßig in den P-Typ umzuwandeln. Wenn das N-Polysilizium in den P-Typ umgewandelt werden soll, existiert daher keine definierte Grenze zwischen dem Bereich, der in den P-Typ umgewandelt worden ist, und dem Bereich, der als N-Typ verbleibt. Das bedeutet, daß der pn-Übergang, der als Speicherzelle besonders kritisch ist, kaum geschaffen werden kann. Selbst wenn man annimmt, daß der pn-Übergang die Rolle einer Diode, d. h. die Rolle der Speicherzelle, spielt, tritt immer noch das Problem einer extrem kleinen Sperrspannung auf, da die Durchbruch-eigenschaften des pn-Überganges weiter erheblich kleiner sind im Vergleich mit denen von monokristallinem Silizium. Auf diese Weise ist es schwierig, einen gewünschten pn-Übergang mit dem herkömmlichen Herstellungsverfahren zu schaffen.

Andererseits ergeben sich die folgenden Beschränkungen, wenn der P-Bereich in den N-Polysiliziumschichten, die die späteren Wortleitungen bilden sollen, geschaffen wird. Die Fig. 8A und 8B sind Querschnitte einer Speicherzelle mit einem Kontaktloch. Die Fig. 8A und 8B zeigen die P-Schichten 45, die in den N-Polysiliziumschichten mit einer größeren bzw. geringeren Tiefe gebildet sind. Es ist zu bemerken, daß sich die N-Polysiliziumschicht 42 in die Richtung senkrecht zur Zeichen-ebene weiter erstreckt. In Abhängigkeit von der An- oder Abwesenheit des Kontaktloches in der ausgewählten Speicherzelle ist es für einen ausreichenden Strom erforderlich, in der der Speicherzelle entsprechenden Wortleitung zu fließen. Daher ist ein geringer Widerstandswert der Wortleitung vorzuziehen. Der Widerstand der Wortleitung wird von der Querschnittsfläche der N-Polysiliziumschicht 42 beeinflußt. Andererseits ist ein teilweise elektrisch leitender P-Polysiliziumbereich 45 in der N-Polysiliziumschicht 42, die die spätere Wortleitung bilden soll, geschaffen. Daher ist in demjenigen Bereich, in dem der P-Bereich 45 gebildet ist, d.h. im Bereich unterhalb des Kontaktloches, die effektive Querschnittsfläche der N-Polysiliziumschicht 42, durch die der Strom fließt, gleich der Querschnittsfläche  $a \cdot h$ , wobei  $h$  und  $a$  die Dicke und Breite der N-Polysiliziumschicht 42 bedeuten, abzüglich der Querschnittsfläche des P-Polysiliziumbereiches 45, d.h.  $a \cdot b$ , wobei  $a$  und  $b$  die Dicke bzw. Breite des P-Polysiliziumbereiches 45 bedeuten. Um den Widerstand der Wortleitung zu vermindern, ist daher eine geringere Querschnittsfläche des P-Polysiliziumbereiches vorzuziehen (s. Fig. 8A und 8B). Das heißt, günstiger sind kleinere Werte für die Dicke  $a$  und die Breite  $b$  des Polysiliziumbereiches 45.

Eine Verminderung der Breite  $c$  des Kontaktloches bedeutet jedoch eine Erhöhung des Kontaktwiderstandes zwischen der leitenden Schicht 43 und der N-Polysiliziumschicht 42, da die Breite  $b$  des P-Polysiliziumbereiches 45 etwa gleich der Breite  $c$  des Kontaktloches 44 ist. Falls die Dicke  $d$  des P-Polysiliziumbereiches 45 zu klein ist, spielt andererseits der pn-Übergang nicht die Rolle einer Speicherzelle. Bei der Bildung des P-Bereiches 45 in der N-Polysiliziumschicht 42 ist es daher erforderlich, Störstellen in eine moderate Tiefe unter Be-achtung der oben beschriebenen Zwänge einzulagern. Wie oben beschrieben worden ist, kann andererseits der

gewünschte pn-Übergang mit den herkömmlichen Herstellungsverfahren kaum erzeugt werden. Unter Beachtung der obigen Zwänge ist es extrem schwierig, den P-Polysiliziumbereich 45 mit der gewünschten Tiefe zu schaffen. Wenn die P-Polysiliziumbereiche 45 gebildet werden, wird die Menge der durch Ionenimplantation einzulagernden P-Störstellen im Hinblick auf eine Anhebung der Störstellenkonzentration erhöht, um einen zufriedenstellenden pn-Übergang zu erzeugen, und es wird z.B. schwierig, den Bereich der Implantation zu steuern. Falls die Energie der Ionenimplantation im Hinblick auf eine Erhöhung der Tiefe der P-Polysiliziumschicht 45 vergrößert wird, ergibt sich andererseits das Risiko, daß die N-Polysiliziumschicht 42, der Zwischen-schichtfilm 48 oder sogar das Substrat 40 verletzt werden.

Ferner wird das N-Polysilizium in den P-Typ unter Bedingungen für die Ionenimplantation, wie z.B. die Energie für die Ionenimplantation und die Menge der zu implantierenden Ionen, umgewandelt, die verschieden sind von den Bedingungen, unter denen monokristallines Silizium vom N-Typ in den P-Typ umgewandelt wird. Damit wird der Herstellungsprozeß eines Masken-ROM-Chips mit einem Speicherzellenfeld und peripheren Schaltkreisen auf demselben Substrat, der Feldeffekttransistoren umfaßt, schwierig. Das heißt, daß der Schritt zur Bildung eines pn-Überganges in demjenigen Bereich der Wortleitung, der die zukünftige Speicherzelle darstellen soll, und der Schritt zur Bildung der Source- und Drain-Bereiche des Transistors voneinander getrennt werden müssen. Dies ergibt sich aus der Tatsache, daß die Source- und Drain-Bereiche des P-Kanal Transistors durch Einlagern von P-Störstellen mittels Ionenimplantation in jene Bereiche des monokristallinen Siliziumsubstrates erzeugt werden, die in den N-Typ umgewandelt werden sollen, wodurch zwei P-Bereiche im N-Bereich geschaffen werden. Aus diesem Grund ist der Schritt zur Bildung des pn-Überganges in der Speicherzelle notwendigerweise zusätzlich nahe dem letzten Schritt beim Herstellungsprozeß für das Masken-ROM erforderlich.

Wie oben beschrieben worden ist, weist das Masken-ROM mit einem einzelnen pn-Übergang als Speicherzelle, wie in Fig. 6A gezeigt, verschiedene Herstellungsprobleme auf und kann daher nicht als kommerzielles Produkt ohne erhebliche Schwierigkeiten erzeugt werden.

Es ist daher Aufgabe der Erfindung, ein Verfahren für die Herstellung eines miniaturisierten Masken-ROMs zu schaffen, das kommerziell angewendet werden kann. Ferner soll ein Verfahren zur Herstellung eines Masken-ROMs mit pn-Übergängen, die ausreichend als Speicherzellen wirken, geschaffen werden. Weiterhin ist es Aufgabe der Erfindung, ein Herstellungsverfahren für ein Masken-ROM zur Verfügung zu stellen, bei dem ein in der Größe verkleinertes Masken-ROM, das kommerziell verwendet werden kann, einfach und zuverlässig erzeugt werden kann. Ferner soll ein ROM mit weiteren Schaltkreisen auf demselben Chip geschaffen werden, bei dem die Bildung des pn-Überganges des ROM-Speichers gleichzeitig mit dem Schritt zur Bildung solcher weiterer Schaltkreise erfolgen kann.

Erfindungsgemäß wird ein Verfahren zur Herstellung eines Masken-ROM geschaffen, das die Schritte der Bildung einer Mehrzahl von parallelen bandförmigen Polysiliziumschichten auf einem Substrat mit ebener Oberfläche, Glühen der Polysiliziumschichten mit einem Laser zu deren Umwandlung in monokristalline Schichten,

Einführen von Störstellen eines ersten Leitfähigkeitstypes in die monokristallisierten Schichten zum Bilden von monokristallinen Schichten des ersten Leitfähigkeitstypes, Bilden einer Isolierschicht auf den monokristallinen Schichten des ersten Leitfähigkeitstypes, Bilden von Öffnungen in der Isolierschicht entsprechend der im Masken-ROM zu speichernden Information, wobei die Öffnungen die Oberflächen der monokristallinen Schichten des ersten Leitfähigkeitstypes erreichen, Einlagern von Störstellen eines zweiten Leitfähigkeitstypes mit der dem ersten Leitfähigkeitstyp entgegengesetzter Polarität durch die Öffnungen, um Bereiche des zweiten Leitfähigkeitstypes zu schaffen, Bilden einer Mehrzahl von parallelen bandförmigen und leitenden Schichten in Bereichen des Isolierfilms, einschließlich jener Bereiche, in denen die Öffnungen geschaffen sind, wobei die leitenden Schichten die monokristallinen Schichten des ersten Leitfähigkeitstypes kreuzen, und Verbinden der leitenden Schichten mit den Bereichen des zweiten Leitfähigkeitstypes in denjenigen Bereichen, in denen die Öffnungen geschaffen sind, umfaßt.

Entsprechend einer bevorzugten Ausführung ist der erste Leitfähigkeitstyp der N-Typ und der zweite Leitfähigkeitstyp der P-Typ.

Beim oben beschriebenen erfindungsgemäßen Verfahren zur Herstellung des Masken-ROMs werden die bandförmigen Polysiliziumschichten, in denen die pn-Übergänge der zukünftigen Speicherzellen gebildet werden, zuvor mit einem Laserstrahl wärmebehandelt, d.h., einem "Laser-Glühen" unterworfen, um diese in Einkristalle umzuwandeln. Bei der Herstellung eines Bereiches des zweiten Leitfähigkeitstypes in den bandförmigen Schichten kann daher das Verfahren des Standes der Technik, das im Einlagern von Störstellen des zweiten Leitfähigkeitstypes in das monokristalline Silizium des ersten Leitfähigkeitstypes mittels Ionenimplantation zur Bildung des Bereiches des zweiten Leitfähigkeitstypes besteht, ohne Modifikation angewendet werden. Diese Technik, die zur Bildung des Source- und Drain-Bereiches des Transistors verwendet wird, erlaubt eine zufriedenstellende Steuerung der Tiefe oder Breite des Bereiches des zweiten Leitfähigkeitstypes während der Bildung des Source- und Drain-Bereiches. Da der in den zweiten Leitfähigkeitstyp umzuwandlende Bereich aus Einkristallen gebildet ist, kann daher darüber hinaus ein pn-Übergang mit einer gleichmäßigen Übergangsoberfläche in der bandförmigen Polysiliziumschicht gebildet werden.

Entsprechend einer weiteren bevorzugten Ausführungsform umfaßt ein Verfahren zur Herstellung eines Nur-Lese-Speichers vom Maskentyp mit einem peripheren Schaltkreis, der wenigstens einen Feldeffekttransistor mit einem Kanal eines ersten Leitfähigkeitstypes und einem in einem Substrat gebildeten Source- und Drain-Bereich aufweist, die Schritte zur Bildung eines Isolators auf dem Substrat, Bilden von ersten Leitern eines Halbleitermaterials desselben Leitfähigkeitstypes wie der Kanal des Transistors auf dem Isolator, Bilden von pn-Übergängen an ausgewählten Stellen auf den ersten Leitern und Bilden von zweiten Leitern in Kontakt mit den pn-Übergängen. Die Verbesserung des Schrittes zur Bildung des zweiten Leiters in Kontakt mit den pn-Übergängen umfaßt die Schritte des Glühens des ersten Leiters und Bilden der Source- und Drain-Bereiche des Feldeffekttransistors gleichzeitig mit dem Schritt zur Bildung der pn-Übergänge durch Störstellenimplantation. Bei dieser Ausführungsform ist es durch Monokristallisation der ersten Leiter mittels Glü-

hen, d. h. durch Überführen der ersten Leiter in kristalline Schichten desselben Typs wie das Substrat, auf dem die Source- und Drain-Bereiche des Transistors geschaffen werden sollen, möglich, gleichzeitig die Bildung 5 der pn-Übergänge der Speicherzellen und die Bildung der Source- und Drain-Bereiche des Transistors des peripheren Schaltkreises auszuführen. Entsprechend dieser Ausführung wird die Bildung der pn-Übergänge der Speicherzellen und die Bildung der Source- und Drain-Bereiche, die herkömmlicherweise in verschiedenen Schritten ausgeführt werden, im selben Herstellungs- 10 schritt durchgeführt, was zu einem vereinfachten Schritt bei der Herstellung des Masken-ROM mit dem einen Transistor umfassenden peripheren Schaltkreis führt.

Das Masken-ROM in Übereinstimmung mit der Erfindung wird durch das oben beschriebene Herstellungsverfahren geschaffen. Ein erfindungsgemäßer Nur-Lese-Speicher vom Maskentyp umfaßt in einer Ausführung ein Substrat, einem auf diesem Substrat gebildeten Isolator, eine Mehrzahl von ersten auf dem Isolator gebildeten Leitern mit wenigstens einer Schicht aus monokristallinem Silizium eines ersten Leitfähigkeitstypes auf einer Oberfläche, die vom Substrat entfernt ist, wobei die Leiter eine vorbestimmte Querschnittsfläche aufweisen, eine auf den Leitern gebildete Isolierschicht mit selektiv darin geschaffenen Kontaktlöchern über ausgewählten Bereichen der Leiter, einer Mehrzahl von zweiten Leitern, die über und innerhalb der Kontaktlöcher gebildet sind, und Bereiche, in die 20 Störstellen eines zweiten Störstellentypes mit einer ausreichenden Konzentration implantiert sind, um pn-Übergänge innerhalb der ersten Leiter wenigstens in einem unteren Endbereich der Kontaktlöcher zu bilden. Die Bereiche mit implantierten Störstellen weisen eine 25 Breite, die durch die Größe der Kontaktlöcher festgelegt ist, und eine vorbestimmte Tiefe auf. Das Produkt aus Breite und Tiefe wird derart gewählt, daß es kleiner ist als ein vorbestimmter Bruchteil der Querschnittsfläche des ersten Leiters. Daher können beim erfindungsgemäßen Masken-ROM die im Bereich der Öffnungen am Kreuzungspunkt der bandförmigen Polysiliziumschichten und der bandförmigen elektrisch leitenden Schichten geschaffenen pn-Übergänge zufriedenstellend als Speicherzellen wirken.

Ein erfindungsgemäßer integrierter Schaltkreis weist in einer anderen Ausführung einen Nur-Lese-Speicher vom Maskentyp und einen peripheren Schaltkreis auf, der wenigstens einen Feldeffekttransistor mit einem Kanal eines ersten Leitfähigkeitstypes und im monokristallinen Substrat gebildete Source- und Drain-Bereiche umfaßt. Der integrierte Schaltkreis umfaßt entsprechend dem Nur-Lese-Speicher vom Maskentyp ein monokristallines Siliziumsubstrat und einen auf einem Bereich des Substrates geschaffenen Isolator. Der Nur-Lese-Speicher vom Maskentyp umfaßt eine erste und eine zweite Mehrzahl von langgestreckten Leitern, die jeweils unter einem Winkel zueinander angeordnet sind, so daß Kreuzungspunkte definiert werden, und zwischen der ersten und zweiten Mehrzahl von Leitern an ausgewählten Kreuzungspunkten von diesen gebildete pn-Übergänge. Die erste Mehrzahl von Leitern ist auf dem Isolator gebildet und jeder Leiter der ersten Mehrzahl von Leitern ist derart geschaffen, daß dieser wenigstens eine Schicht aus monokristallinem Silizium desselben Leitfähigkeitstypes wie der Kanal des Feldeffekttransistors auf seiner Oberfläche, die vom Isolator entfernt ist, aufweist. Die pn-Übergänge des Nur-Lese-Speichers vom Maskentyp und die Source- und Drain-

Bereiche von dem wenigstens einen Feldeffekttransistor können gleichzeitig durch Ionenimplantation geschaffen werden.

Entsprechend der Erfindung kann das Masken-ROM, das wie oben beschrieben als kommerzielles Produkt schwierig herzustellen war, unter den für die praktische Anwendung angepaßten Bedingungen einfach erzeugt werden. Das erfundengemäße Masken-ROM ist im Hinblick auf eine Miniaturisierung der Größe und einer Beschleunigung der Betriebsgeschwindigkeit der Einrichtung entwickelt worden. Dieser Aufgabe kann nun entsprochen werden, da das oben beschriebene Masken-ROM unter an die praktische Anwendung angepaßten Bedingungen hergestellt werden, so daß leistungsfähige und signifikante Effekte durch die vorliegende Erfindung erzielt werden können.

Weitere Merkmale und Zweckmäßigkeit der Erfindung ergeben sich aus der Beschreibung von Ausführungsbeispielen anhand der Figuren. Von den Figuren zeigen:

Fig. 1 einen Querschnitt einer Speicherzelle eines Masken-ROMs, das durch das erfundengemäße Herstellungsverfahren erzeugt worden ist;

Fig. 2 ein Flußdiagramm, das den Herstellungsprozeß für das Masken-ROM nach einer Ausführungsform der Erfindung zeigt;

Fig. 3 einen Teilquerschnitt, der ein durch den in Fig. 2 gezeigten Herstellungsprozeß erzeugtes Masken-ROM darstellt;

Fig. 4A bis 4E einen Herstellungsprozeß für die Speicherbereiche des in Fig. 3 gezeigten Masken-ROMs;

Fig. 5A bis 5E einen weiteren Herstellungsprozeß für die Speicherbereiche des in Fig. 3 gezeigten Masken-ROMs;

Fig. 6A eine Draufsicht auf ein Speicherzellenfeld eines Masken-ROMs, das in der JP 61-1904 gezeigt ist;

Fig. 6B, 6C Querschnitte entlang zweier verschiedener Achsen des Speicherzellenfeldes eines herkömmlichen Masken-ROMs;

Fig. 7 ein Flußdiagramm, das ein Beispiel des Herstellungsprozesses für ein herkömmliches Masken-ROM darstellt;

Fig. 8A, 8B Querschnitte, die Beispiele der Speicherzelle des durch das herkömmliche Herstellungsverfahren erzeugten Masken-ROMs darstellen;

Fig. 9 ein Diagramm der Polysiliziumstruktur; und

Fig. 10 das mit P-Störstellen dotierte N-Polysilizium auf der Ebene der Korngröße.

Fig. 1 stellt einen Querschnitt der Speicherzelle eines nach dem erfundengemäßen Verfahren zur Herstellung eines Masken-ROMs hergestellten Masken-ROMs dar, die ein Kontaktloch aufweist. Unter Bezugnahme auf diese Figur wird der Herstellungsprozeß für diese Speicherzelle erläutert. Zuerst wird ein Oxidfilm auf einem monokristallinen Siliziumsubstrat nach irgendeinem bekannten Verfahren, wie z.B. selektive Oxidation, gebildet, um ein monokristallines Siliziumsubstrat 40 mit dem Isolierfilm auf seiner Oberfläche zu erzeugen. Es wird eine bandförmige Polysiliziumschicht 46, die die zukünftige Wortleitung darstellt, auf der ebenen Oberfläche dieses monokristallinen Siliziumsubstrates 40 geschaffen. Dann wird im Gegensatz zur herkömmlichen Praxis die Polysiliziumschicht 46 mit Laser-Licht wärmebehandelt, d.h., die Schicht wird einem "Laser-Glühen" unterworfen, um eine monokristalline Schicht zu erzeugen. Auf diese Weise wird die Polysiliziumschicht 46 in die monokristalline Siliziumschicht 12 umgewandelt. Anschließend wird diese monokristalline Silizium-

schicht 12 durch irgendein bekanntes Verfahren, wie z.B. thermische Diffusion oder Ionenimplantation, mit N-Störstellen dotiert. Auf diese Weise wird die monokristalline Siliziumschicht 12 gleichmäßig in eine Schicht 5 vom N-Typ umgewandelt. Nun wird eine Isolierschicht 41 gleichmäßig auf die gesamte planare Oberfläche des Substrates 40, einschließlich der Oberfläche der monokristallinen Siliziumschicht 12 vom N-Typ, aufgebracht. Dann wird in der monokristallinen Siliziumschicht 12 10 vom N-Typ das Kontaktloch 44 z.B. durch Ätzen gebildet. Nun werden P-Störstellen durch Ionenimplantation über die Kontaktlöcher 44 in die monokristalline Siliziumschicht 12 eingelagert. Da die in den P-Typ umgewandelten Bereiche im Gegensatz zur herkömmlichen Praxis aus monokristallinem Silizium bestehen, können zu diesem Zeitpunkt die Tiefe  $d$  und die Breite  $b$  des durch Hinzufügen von Störstellen zu bildenden monokristallinen Bereiches 15 vom P-Typ einfach auf die gewünschten Werte, z. B. durch Einstellen der Energie für 20 die Ionenimplantation und die Menge der zu implantierenden Ionen, gesteuert werden, und es kann der p-Übergang mit einer gleichmäßigen Übergangsoberfläche erzeugt werden, der als Speicherzelle ohne wesentliche Erhöhung der Tiefe  $d$  des monokristallinen P-Bereiches 15 wirkt. Es ist daher möglich, eine Tiefe  $d$  für den monokristallinen Bereich 15 in der Größenordnung 1000 Å zu schaffen. Da die Dicke  $b$  der N-Polysiliziumschicht 12 normalerweise in der Größenordnung von 3000 Å liegt, liegt die durch die Bildung des monokristallinen P-Bereiches 15 bewirkte Verminderung der effektiven Querschnittsfläche der N-Polysiliziumschicht 12 bei etwa 10 bis 25%. Damit wird der Widerstand der Wortleitung im ganzen nicht so erheblich vergrößert und es kann ein ausreichender Strom während des Datenauslesens fließen. Als letzter Schritt wird wie herkömmlicherweise eine bandförmige und elektrisch leitende Schicht 43 aus z.B. Aluminium auf der Isolierschicht 41, einschließlich dem Kontaktloch 44, geschaffen.

Fig. 2 ist ein Flußdiagramm zur Darstellung des erfundengemäßen Herstellungsprozesses des Masken-ROM-Chips mit einem Speicherzellenfeld und einem peripheren Schaltkreis zum Treiben des Feldes. Nun wird unter Bezugnahme auf die Fig. 2 der Herstellungsprozeß für das Masken-ROM in Übereinstimmung mit der Erfindung erläutert. Es wird auch auf die Fig. 3 und 4 Bezug genommen. Die Fig. 3 zeigt auch die typische Bildung eines Transistors vom P-Typ und eines Transistors vom N-Typ auf demselben Chip.

Zuerst werden N-Störstellen selektiv in die planare Oberfläche des monokristallinen Siliziumsubstrates 30 vom P-Typ zum Bilden eines N-Well-Bereiches eindifundiert. Dieser Schritt entspricht der "Inselbildung" in der Fig. 2.

Ein dicker isolierender Feldoxidfilm 32 wird dann auf der planaren Oberfläche des Substrates 30 geschaffen. Im Speicherbereich  $M$ , in dem eine Speicherzelle gebildet werden soll, wird der Feldoxidfilm zu einem Zwischenschicht-Isolierfilm zwischen der Speicherzelle und dem Substrat 30 (s. Fig. 4). Dieser Schritt entspricht der "Feldoxidation" in Fig. 2.

Nun werden Polysiliziumschichten 33 und 34 selektiv in einem N-Kanal Bereich  $N$ , in dem ein N-Kanal Transistor gebildet werden soll, einem P-Kanal Bereich, in dem ein P-Kanal Transistor gebildet werden soll, und im Speicherbereich  $M$ , geschaffen. Diese Polysiliziumschichten 33 und 34 bilden eine Gate-Polysiliziumschicht 33 eines Transistors im N-Kanal Bereich  $N$  und

im P-Kanal Bereich  $P$  und parallele bandförmige Wortleitungs-Siliziumschichten 34 im Speicherbereich  $M$ . Dieser Schritt entspricht der "Gate-Bildung" in Fig. 2. Zu diesem Zeitpunkt wird diese Mehrzahl von parallelen bandförmigen Wortleitungs-Siliziumschichten 34, die die zukünftigen Wortleitungen im Speicherbereich  $M$  bilden, mit Laser-Licht wärmebehandelt und dadurch monokristallisiert (s. Fig. 4B). Dann werden N-Störstellen selektiv durch Ionenimplantation in die planare Oberfläche im N-Kanal Bereich  $N$  des Substrates einge-lagert, um Diffusionsschichten 35b vom N-Typ zu bilden. Ferner sind diejenigen Bereiche des Speicherbereiches  $M$ , die nicht mit Kontaktlöchern versehen sind, abgedeckt. Damit werden P-Störstellen selektiv durch Ionenimplantation in die N-Well 31, die in der planaren Oberfläche im P-Kanal Bereich  $P$  des Substrates 30 ge-bildet ist, und in diejenigen Bereiche des Speicherbereiches  $M$ , in denen Kontaktlöcher der Wortleitungs-Sili-ziumschichten 34 geschaffen werden sollen, zum gleichzeitigen Bilden der P-Diffusionsschicht 35a und eines P-Bereiches 36 (s. Fig. 4C) eingelagert. Die Diffusions-schicht 35a vom P-Typ wird zum Source-Drain-Bereich des P-Kanal Transistors, während die N-Diffusions-schicht 35b den Source-Drain-Bereich des N-Kanal Transistors bildet. Gleichzeitig wird durch Bilden des P-Bereiches ein pn-Übergang in jeder Speicherzelle, in der die Kontaktlöcher des Speicherbereiches  $M$  (s. Fig. 4D) geschaffen sind, erzeugt. Dieser Prozeß ent-spricht der "Bildung von N-Kanal/P-Kanal Source-Drain" in Fig. 2. Kurz gesagt werden im Unterschied zum herkömmlichen Verfahren der Source-Drain-Bereich des Transistors und der pn-Übergang der Spei-cherzelle gleichzeitig geschaffen. Dies wird durch die Tatsache ermöglicht, daß die Wortleitungs-Silizium-schicht 34, in der der P-Bereich 36 gebildet werden soll, zuerst monokristallisiert wird, so daß das Target (Ziel) der Ionenimplantation in die gleichen Bedingungen ver-setzt wird, wie die Bedingungen für die planare Oberflä-che des Substrates 30, in der die Source/Drain des Transi-stors gebildet werden soll.

Zum Glätten der Unregelmäßigkeiten auf dem Sub-strat 30 wird ein Isolierfilm 47 auf die gesamte Oberflä-che des Substrates, einschließlich des Speicherbereiches  $M$ , des N-Kanal Bereiches  $N$  und des P-Kanal Bereiches  $P$ , aufgebracht. Dieser Prozeß entspricht der "Bildung einer glatten Deckschicht" in Fig. 2.

Dann werden Kontaktlöcher 37 selektiv in den beim vorherigen Schritt gebildeten Isolierfilm 47 geätz.t. Dieser Schritt entspricht der "Bildung von Kontaktlöchern" in Fig. 2.

Nun wird eine Aluminium-Verdrahtungsschicht 38 mit gewünschtem Muster auf der planaren Oberfläche des Substrates 30, einschließlich der Kontaktlöcher 37, geschaffen.

Als letzter Schritt wird zum Schutz der Einrichtung eine Glasschicht 39 auf der gesamten Oberfläche des Substrates 30, einschließlich des Speicherbereiches  $M$ , des P-Kanal Bereiches  $P$  und des N-Kanal Bereiches  $N$ , aufgebracht. Dieser Schritt entspricht der "Bildung ei-ner Schutzschicht" in Fig. 2.

Bei der oben beschriebenen Ausführung erfolgt die Dotierung mit P-Störstellen zum selektiven Bilden des pn-Überganges in jeder der Speicherzellen zur Vereinfachung der Herstellungsschritte des Masken-ROMs gemeinsam mit der Dotierung zum Bilden des Source/Drain-Bereiches des Transistors. Die Dotierung mit den P-Störstellen zur Bildung des pn-Überganges in der Speicherzelle kann jedoch auch in einem Schritt, der

vom Schritt zur Bildung des Source/Drain-Bereiches des Transistors verschieden ist, wie herkömmlicherweise ausgeführt werden. Nun wird der Herstellungsschritt des Speicherbereiches in einem solchen Fall unter Be-zugnahme auf die Fig. 5A bis 5E beschrieben, zusammen mit den gesamten Herstellungsschritten für das in Fig. 3 gezeigte Masken-ROM. Die Fig. 5A bis 5E sind Teilquerschnitte des Speicherbereiches, die die Herstel-lungsschritte des Speicherbereiches in einem solchen Fall darstellen.

Nach den obigen Schritten der "Feldoxidation" und der "Gate-Bildung" werden zuerst der Zwischenschicht-isolierfilm 32 und die Wortleitungs-Siliziumschicht 34 im Speicherbereich  $M$  der Fig. 3 (s. Fig. 5A und 5B) geschaffen. Dann wird die Wortleitungs-Siliziumschicht 34 mit Laser-Licht wärmebehandelt. Die vorher ge-nannten Herstellungsschritte des Speicherbereiches  $M$  sind dieselben wie im Falle der oben beschriebenen und in den Fig. 4A bis 4E gezeigten Ausführung. Beim näch-sten Schritt der "Bildung von N-Kanal/P-Kanal Source-Drain" wird der gesamte Speicherbereich  $M$  abgedeckt (s. Fig. 5C). Nach Beendigung dieses Schrittes ist daher der P-Bereich in der Wortleitungs-Siliziumschicht 34 noch nicht gebildet.

Nach Entfernen der Maske und Durchlaufen der Schritte "Bildung einer glatten Deckschicht" und "Bil-dung von Kontaktlöchern", wird nun der Isolierfilm 47, in dem Kontaktlöcher selektiv bis zur Wortleitungs-Sili-ziumschicht 34 geschaffen werden sollen, im Speicher-bereich  $M$  (s. Fig. 5D) gebildet. Anschließend werden unter Verwendung des Isolierfilmes 47 als Maske P-Störstellen durch Ionenimplantation in den Speicher-bereich  $M$  eingelagert. Damit wird im Speicherbereich  $M$  ein pn-Übergang in jeder der Speicherzellen gebildet, in denen Kontaktlöcher geschaffen sind (s. Fig. 5E). Die nachfolgenden Schritte sind dieselben wie im Falle der vorherigen Ausführung. Bei dieser Ausführungsform er-folgt die Festlegung der Speicherzellen, die mit einem Kontaktloch versehen werden sollen, in einem Schritt 40 nahe dem Ende des Herstellungsprozesses des Masken-ROM-Chips. Das Muster zur Bildung der Kontaktlöcher ändert sich in Übereinstimmung mit den im MaskenROM zu speichernden Daten. Um die Zeitspanne (Umlaufzeit) vom Erhalten der Festlegung der Daten 45 vom Benutzer, d.h. der Entgegennahme eines Herstel-lungsauftrages für das Masken-ROM, bis zur Ausliefe-46 rung des bestellten Produktes an den Benutzer zu ver-kürzen, befindet sich der Schritt zur Bildung der Kon-taktlöcher bevorzugterweise in der Nähe des letzten 50 Herstellungsschrittes des Masken-ROM-Chips. Daher ist diese Ausführungsform im Hinblick auf eine Vermin-derung der Umlaufzeit wünschenswert.

Wenn das Masken-ROM in Übereinstimmung mit der Erfindung hergestellt wird, kann der Herstellungspro-55 zess, wie oben beschrieben, gegenüber der herkömmli-chen Praxis vereinfacht werden, während der für die Speicherzelle günstige pn-Übergang und die Wortlei-tung mit für die praktische Anwendung gewünschtem 60 Widerstand einfach erzeugt werden können. Es ist zu be-merken, daß der Schritt des "Laser-Glühens" im Laufe der Herstellung des Masken-ROMs nicht auf die oben beschriebenen Ausführungen beschränkt ist, sondern überall zwischen dem Schritt zum Bilden der Polysi-liziumschicht, die die Wortleitung darstellen soll, und dem Schritt zum Umwandeln dieser Schicht in eine Schicht 65 vom N-Typ eingesetzt werden kann.

Bei den oben beschriebenen Ausführungen werden die Gates der N-Kanal und P-Kanal Transistoren aus

Polysilizium gebildet, das weder vom P- noch vom N-Typ ist. Zur Verminderung des Gate-Widerstandes des Transistors kann das das Gate des Transistors darstellende Polysilizium in den N-Typ umgewandelt werden, wobei in diesem Fall der Schritt des Umwandelns des Polysiliziums in den N-Typ gleichzeitig mit dem Schritt des Umwandeln des monokristallinen Siliziums, das die Wortleitung des Speicherbereiches bildet, in den N-Typ erfolgen kann.

10

## Patentansprüche

1. Nur-Lese-Speicher vom Maskentyp mit einem Substrat, einem auf dem Substrat gebildeten Isolator, einer Mehrzahl von ersten Leitern, die auf dem Isolator gebildet sind und wenigstens eine Schicht aus monokristallinem Silizium eines ersten Leitfähigkeits- 15 types auf einer Oberfläche, die vom Substrat entfernt ist, dieser Leiter aufweisen, wobei die Leiter eine vorbestimmte Querschnittsfläche besitzen, einer Isolierschicht, die auf den Leitern gebildet ist und über ausgewählten Bereichen der Leiter selektiv darin gebildete Kontaktlöcher aufweist, einer Mehrzahl von zweiten Leitern, die über und in den Kontaktlöchern gebildet sind, und Störstellenbereiche eines zweiten Störstellen- 20 types mit einer Konzentration, die ausreicht, einen pn-Übergang innerhalb der ersten Leiter zumindest in einem unteren Endbereich der Kontaktlöcher zu bilden, wobei die Störstellenbereiche eine Breite, die von der Größe der Kontaktlöcher bestimmt ist, und eine vorbestimmte Tiefe aufweisen, wobei das Produkt aus dieser Breite mit der Tiefe kleiner ist als ein vorbestimmter Teil der Querschnittsfläche der ersten Leiter. 25

2. Integrierter Schaltkreis mit einem Nur-Lese-Speicher vom Maskentyp und einem peripheren Schaltkreis, der wenigstens einen Feldeffekttransistor eines ersten Kanalleitfähigkeits- 40 types mit im monokristallinen Substrat gebildeten Source- und Drain-Bereichen aufweist, umfassend ein monokristallines Siliziumsubstrat, einen Isolator, der auf dem Nur-Lese-Speicher vom Maskentyp entsprechenden Bereich des Substrates gebildet ist, wobei der Nur-Lese-Speicher vom Maskentyp eine 45 erste und eine zweite Mehrzahl von langgestreckten Leitern, die jeweils unter einem Winkel zueinander angeordnet sind, so daß Kreuzungspunkte definiert werden, und zwischen den Leitern der ersten und zweiten Mehrzahl von Leitern an vorbestimmten Kreuzungspunkten gebildete pn-Übergänge umfaßt, wobei die erste Mehrzahl von Leitern auf dem Isolator gebildet ist und jeder Leiter der ersten Mehrzahl derart geschaffen ist, daß dieser wenigstens eine Schicht aus monokristallinem 55 Silizium mit demselben Leitfähigkeits- 50 type wie der Kanal des Feldeffekttransistors auf einer Oberfläche des Leiters, die vom Isolator entfernt ist, aufweist, wodurch die pn-Übergänge des Nur-Lese-Speichers vom Maskentyp und die Source- und Drain-Bereiche des wenigstens einen Feldeffekttransistors gleichzeitig durch Ionenimplantation gebildet werden können. 60

3. Verfahren zur Herstellung eines Masken-ROMs, umfassend die Schritte: Bilden einer Mehrzahl von parallelen bandförmigen Polysiliziumschichten auf einem Substrat mit einer ebenen Oberfläche, Glühen der Polysiliziumschichten mit einem Laser, um

diese in monokristallisierte Schichten umzuwandeln, Einlagern von Störstellen eines ersten Leitfähigkeits- 15 types in die monokristallisierten Schichten, um monokristalline Schichten des ersten Leitfähigkeits- 20 types zu schaffen, Bilden einer Isolatorschicht auf den monokristallinen Schichten des ersten Leitfähigkeits- 25 types, Bilden von Öffnungen in der Isolatorschicht in Übereinstimmung mit der im Masken-ROM zu speichernden Information, wobei die Öffnungen die Oberflächen der monokristallinen Schichten des ersten Leitfähigkeits- 30 types erreichen, Einlagern von Störstellen eines zweiten Leitfähigkeits- 35 types mit entgegengesetzter Polarität zum ersten Leitfähigkeits- 40 type durch die Öffnungen, um Bereiche des zweiten Leitfähigkeits- 45 types zu bilden, und Bilden einer Mehrzahl von parallelen bandförmigen und leitenden Schichten in Bereichen des Isolatorfilmes, einschließlich der Bereiche, in denen die Öffnungen gebildet sind, wobei die leitenden Schichten die monokristallinen Schichten des ersten Leitfähigkeits- 50 types kreuzen, und die leitenden Schichten mit den Bereichen des zweiten Leitfähigkeits- 55 types in den Bereichen verbunden sind, in denen die Öffnungen gebildet sind.

4. Verfahren zur Herstellung eines Masken-ROMs nach Anspruch 3, dadurch gekennzeichnet, daß der erste Leitfähigkeits- 15 type der N-Typ und der zweite Leitfähigkeits- 20 type der P-Typ ist.

5. Verfahren zur Herstellung eines Masken-ROMs, umfassend die Schritte: Bilden einer Mehrzahl von parallelen bandförmigen Polysiliziumschichten auf einem Substrat mit einer ebenen Oberfläche, Glühen der Polysiliziumschichten mit einem Laser, um diese in monokristallisierte Schichten umzuwandeln, Einlagern von Störstellen eines ersten Leitfähigkeits- 15 types in die monokristallisierten Schichten, um monokristalline Schichten des ersten Leitfähigkeits- 20 types zu bilden, Einlagern von Störstellen eines zweiten Leitfähigkeits- 25 types mit entgegengesetzter Polarität zum ersten Leitfähigkeits- 30 type, um Bereiche des zweiten Leitfähigkeits- 35 types zu bilden, Bilden einer Isolatorschicht auf den monokristallinen Schichten des ersten Leitfähigkeits- 40 types, Bilden von Öffnungen in der Isolatorschicht in Übereinstimmung mit der im Masken-ROM zu speichernden Information, wobei die Öffnungen die Oberflächen der monokristallinen Schichten des ersten Leitfähigkeits- 45 types erreichen, und Bilden einer Mehrzahl von parallelen bandförmigen und leitenden Schichten in Bereichen des Isolatorfilmes, einschließlich der Bereiche, in denen die Öffnungen gebildet sind, wobei die leitenden Schichten die monokristallinen Schichten des ersten Leitfähigkeits- 50 types kreuzen, und die leitenden Schichten mit den Bereichen des zweiten Leitfähigkeits- 55 types in den Bereichen verbunden sind, in denen die Öffnungen gebildet sind.

6. Verfahren zur Herstellung eines Nur-Lese-Speichers vom Maskentyp mit einem peripheren Schaltkreis mit wenigstens einem Feldeffekttransistor eines ersten Kanalleitfähigkeits- 40 types mit einem in einem Substrat gebildeten Source- und Drain-Bereich, umfassend die Schritte: Bilden eines Isolators auf dem Substrat, Bilden von ersten Leitern eines Halbleitermaterials desselben Leitfähigkeits- 45 type wie der Kanal des ersten Transistors auf dem Isolator, Bilden von pn-Übergängen an vorbestimmten Stellen auf den ersten Leitern, und

Bilden von zweiten Leitern in Kontakt mit den pn-Übergängen, gekennzeichnet durch die Schritte: Glühen der ersten Leiter und Bilden der Source- und Drain-Bereiche des Feldeffekttransistors gleichzeitig mit dem Schritt des Bildens der pn-Übergänge durch Störstellenimplantation. 5

Hierzu 7 Seite(n) Zeichnungen

10

15

20

25

30

35

40

45

50

55

60

65

FIG.1

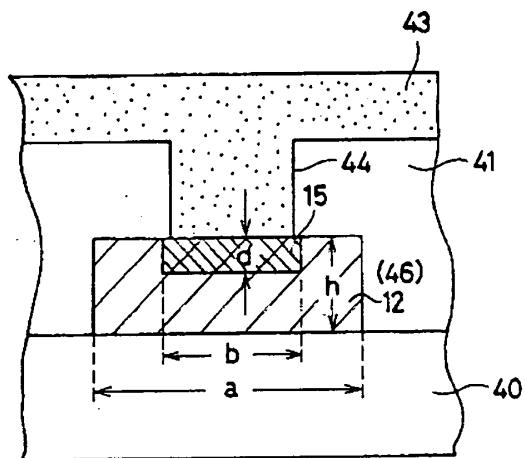


FIG.2

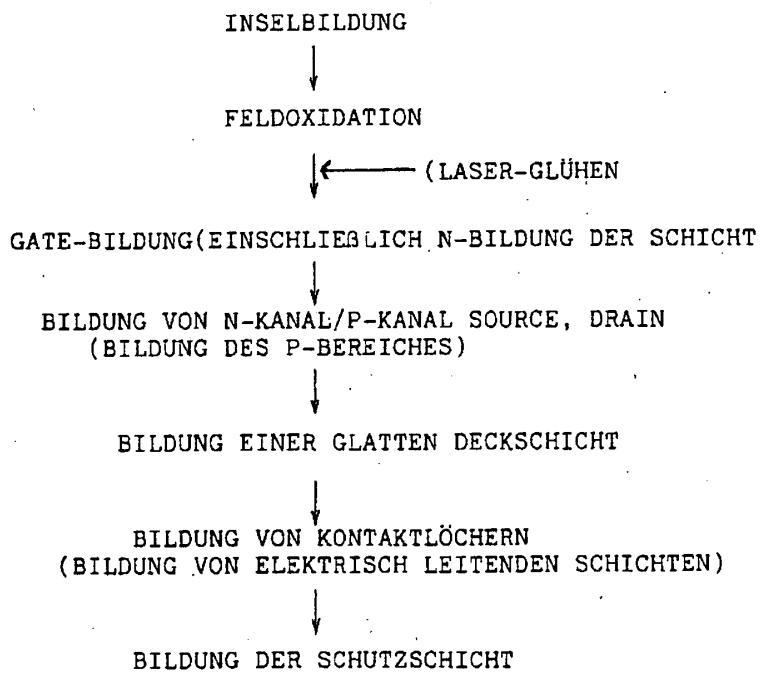
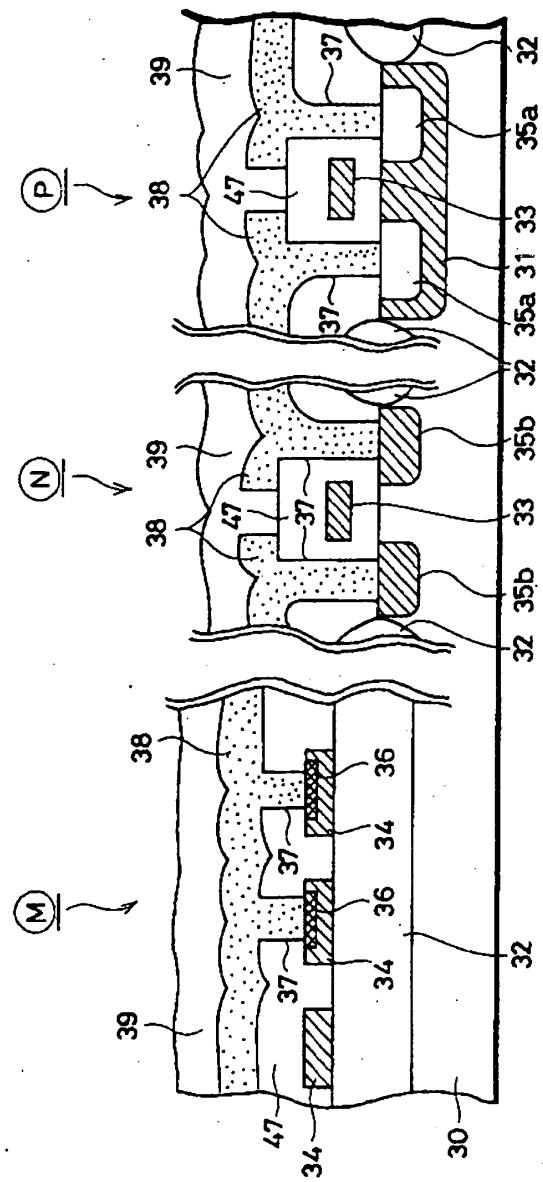


FIG. 3



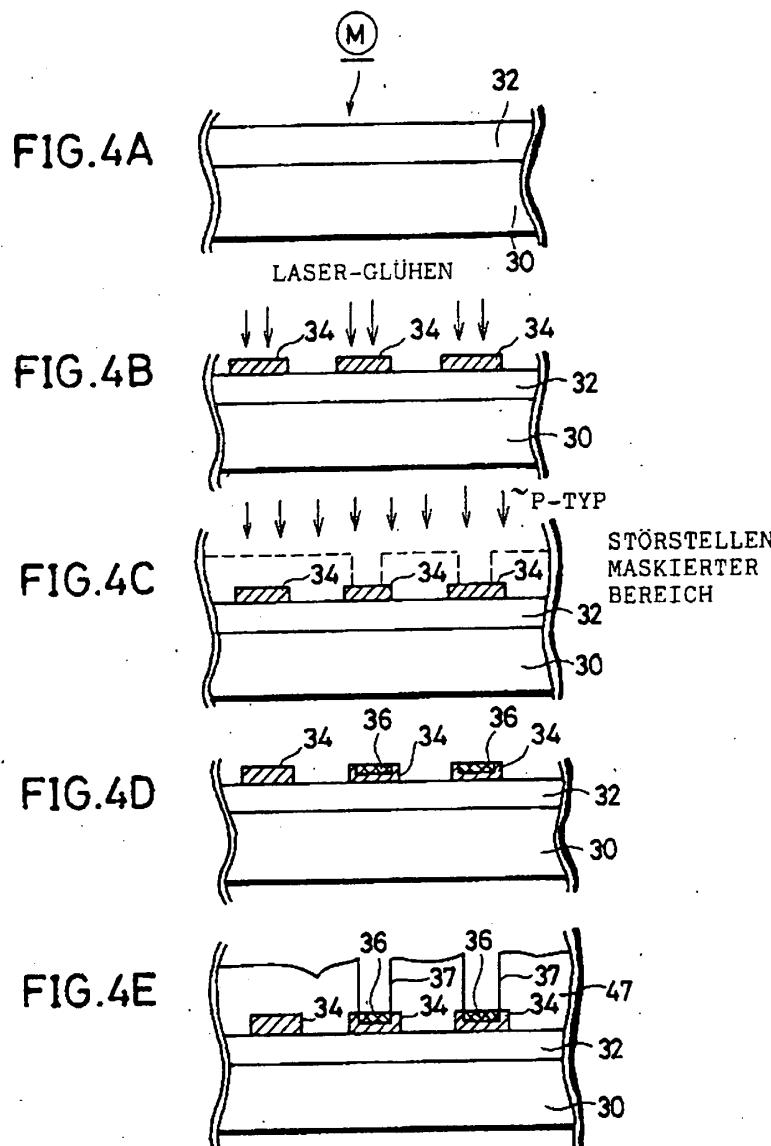


FIG.5A

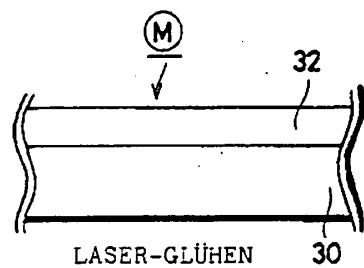


FIG.5B

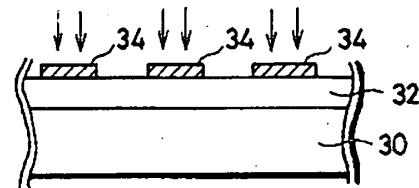


FIG.5C

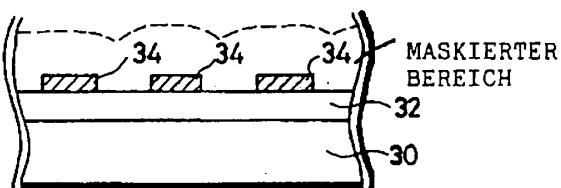


FIG.5D

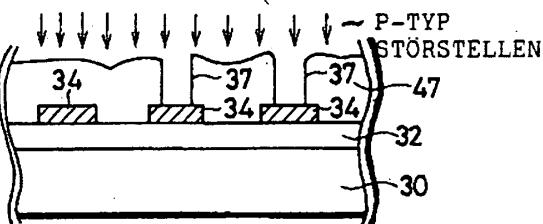


FIG.5E

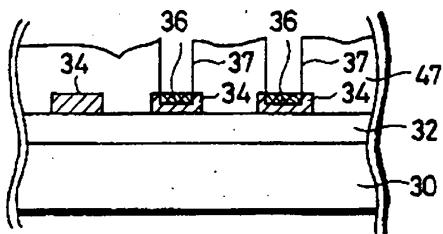


FIG.6A

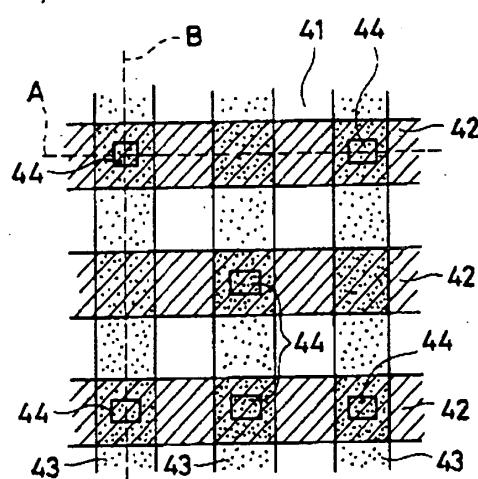


FIG.6C

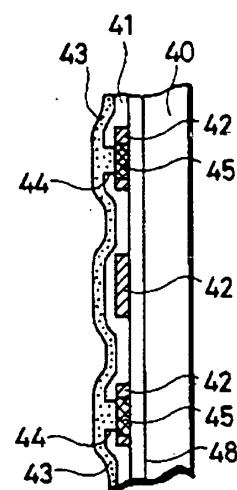


FIG.6B

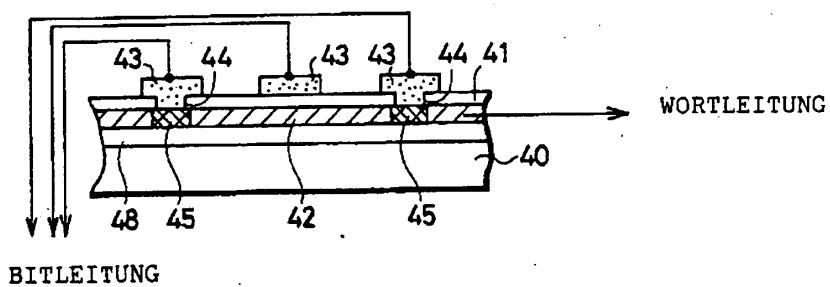


FIG.7

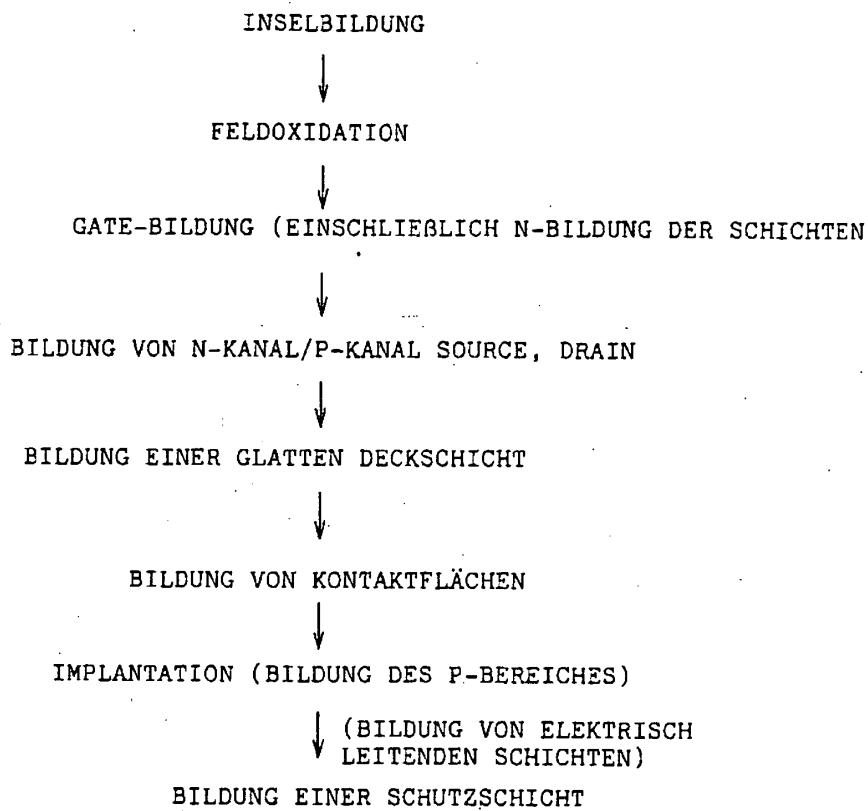


FIG.8A

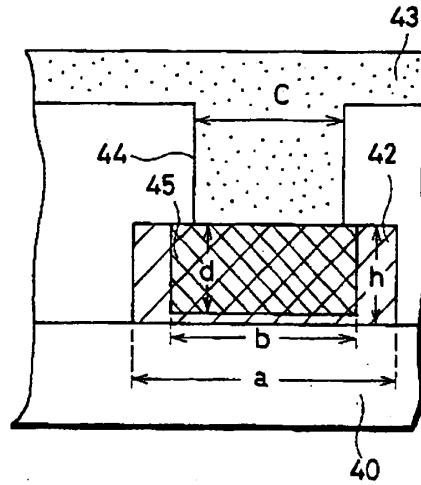


FIG.8B

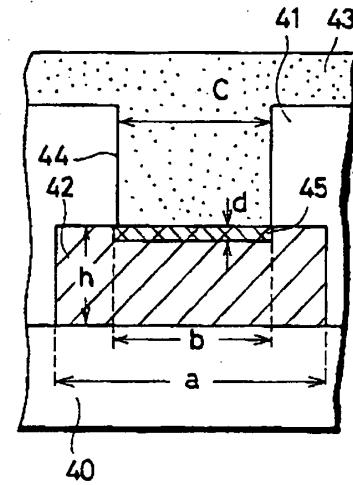


FIG.9

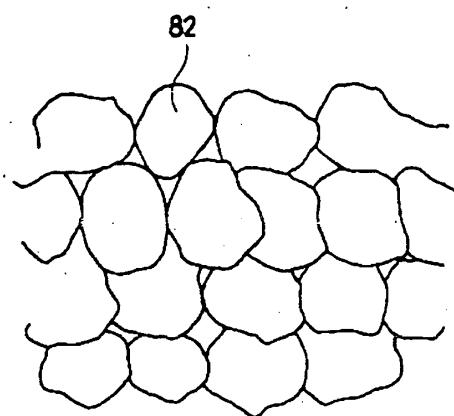
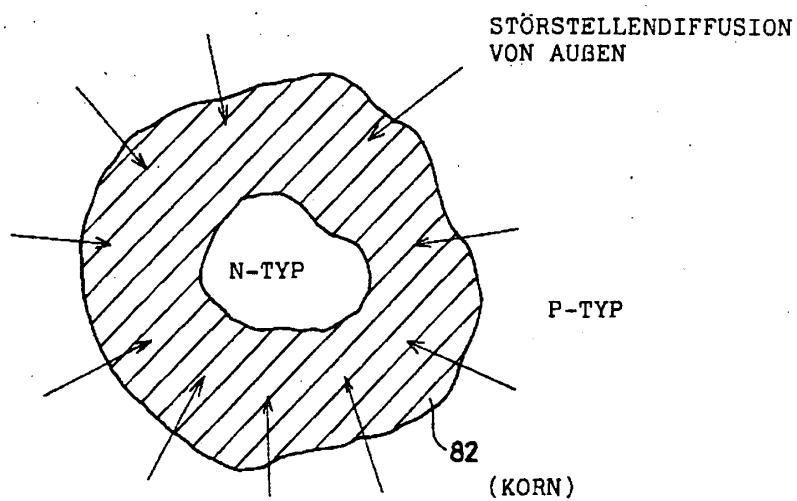


FIG.10



Docket # GR 98 P 1507

Applic. # 09/685,361

Applicant: Rusch et al.

Lerner and Greenberg, P.A.  
Post Office Box 2480  
Hollywood, FL 33022-2480  
Tel: (954) 925-1100 Fax: (954) 925-1101